

Searching PAJ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-195943

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 21/76

H01L 27/08

(21)Application number : 10-374107

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.12.1998

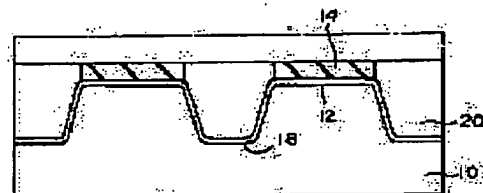
(72)Inventor : MARUO YUTAKA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE HAVING TRENCH ELEMENT ISOLATING REGION

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacture of a semiconductor device, where the embedding of the insulating layer in a trench element isolating region is performed favorably without increasing the number of processes.

SOLUTION: This manufacture includes a process (a) of forming a pad layer 12 on the surface of a silicon substrate 10, a process (b) of forming a stopper layer 14 for chemical and mechanical polishing on the surface of the pad layer, a process (c) of etching the stopper layer and the pad layer into specified patterns, a process (d) of etching the silicon substrate with the stopper layer as a mask so as to make a trench, a process (e) of forming an insulating layer 20 to stop the trench all over the surface, a process (f) of flattening the insulating layer with the stopper layer as a stopper through chemical and mechanical polishing, a process (g) of thinning the insulating layer and the stopper layer by etching the insulating layer and the stopper layer at the same time at least, and a process (h) of forming a trench element isolating region by removing the stopper layer.



## LEGAL STATUS

[Date of request for examination]

19.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

## 引用例2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-195943

(P2000-195943A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 21/76		H 0 1 L 21/76	L 5 F 0 3 2
27/08	3 3 1	27/08	3 3 1 A 5 F 0 4 8

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21) 出願番号 特願平10-374107

(22) 出願日 平成10年12月28日 (1998.12.28)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 丸尾 豊

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

最終頁に続く

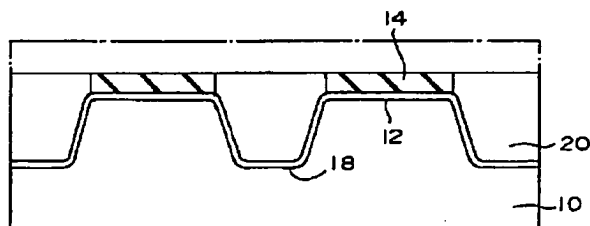
(54) 【発明の名称】 トレンチ素子分離領域を有する半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 工程数を増すことなしに、トレンチ素子分離領域の絶縁層の埋め込みが良好に行われる半導体装置の製造方法を提供する。

【解決手段】 下記の工程 (a) ~ (h) からなる。

(a) シリコン基板 10 の表面にパッド層 12 を形成する工程； (b) パッド層の表面に、化学的機械的研磨のためのストッパ層 14 を形成する工程； (c) ストッパ層およびパッド層を所定のパターンにエッチングする工程； (d) ストッパ層をマスクとしてシリコン基板をエッチングし、トレンチを形成する工程； (e) トレンチを充填する絶縁層 20 を全面に形成する工程； (f) 化学的機械的研磨法により、ストッパ層をストッパとして、絶縁層を平坦化する工程； (g) 絶縁層とストッパ層とを、少なくとも 1 回、同時にエッチングし、絶縁層およびストッパ層の膜厚を薄くする工程； (h) ストッパ層を除去してトレンチ素子分離領域を形成する工程。



(2)

特開2000-195943

1

## 【特許請求の範囲】

【請求項1】 以下の工程(a)～(h)を含むトレンチ素子分離領域を有する半導体装置の製造方法。

(a) シリコン基板の表面にパッド層を形成する工程、  
(b) 前記パッド層の表面に、化学的機械的研磨のためのストッパ層を形成する工程、(c) 前記ストッパ層および前記パッド層を所定のパターンにエッチングする工程、(d) 前記ストッパ層をマスクとして前記シリコン基板をエッチングし、素子分離溝を形成する工程、

(e) 前記素子分離溝を充填する絶縁層を全面に形成する工程、(f) 化学的機械的研磨法により、前記ストッパ層をストッパとして、前記絶縁層を平坦化する工程、  
(g) 前記絶縁層と前記ストッパ層とを、少なくとも1回、同時にエッチングし、該絶縁層および該ストッパ層の膜厚を薄くする工程、および(h) 前記ストッパ層を除去してトレンチ素子分離領域を形成する工程。

【請求項2】 請求項1において、前記工程(g)におけるエッチングは、複数回実施され、該エッチングにおける選択比(ストッパ層のエッチングレート/絶縁層のエッチングレート)は、順次大きくなる、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項3】 請求項1または請求項2において、前記工程(h)の後において、前記シリコン基板の素子が形成される領域の表面のレベルより突出した絶縁層の部分を等方性エッチングで除去する工程を有する、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項4】 請求項3において、前記シリコン基板の素子が形成される領域の表面のレベルより突出した絶縁層の部分の等方性エッチングは、パッド層をエッチングする工程と犠牲酸化膜をエッチングする工程とにおいてなされる、トレンチ素子分離領域を有する半導体装置の製造方法。

【請求項5】 請求項3または請求項4において、前記シリコン基板の素子が形成される領域の表面のレベルより突出した絶縁層の部分の厚さは、50nm以下である、トレンチ素子分離領域を有する半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に素子分離溝を有する半導体装置の製造方法に関する。

【0002】

【背景技術】近年、半導体素子、たとえばMOSトランジスタの微細化に伴い、半導体素子間を分離するための領域の微細化が必要となっている。この領域の微細化を達成するため、半導体素子間の基板上に溝部(以下「トレンチ」という)を設け、このトレンチに絶縁材を充填

2

することによって半導体素子間を分離するトレンチ素子分離技術が検討されている。この技術を開示している文献として、たとえば、IEDM93 Pierre C. Fazan and Vijay K. Mathewsを挙げることができる。以下に、この文献に記載されている技術の主要部について説明する。

【0003】図26～図29は、トレンチを絶縁材で充填した後の、絶縁材の処理の工程を示す断面模式図である。

【0004】まず、公知の方法により、トレンチ116を絶縁層120で充填した後、化学的機械的研磨(CMP)法で窒化シリコン層114をストッパとして絶縁層120を平坦化し、図26に示すような半導体堆積体150を得る。

【0005】次に、図27に示すように、窒化シリコン層114を除去する。

【0006】次いで、図28に示すように、絶縁層120の、基板110の上面から突出した部分の両サイドに、酸化物からなるサイドウォール130を形成する。サイドウォール130は、シリコン酸化膜をCVDで全面に成膜したのち、異方性エッチングを行うことで形成される。

【0007】その後、絶縁層120とサイドウォール130とを同時にエッチングし、図29に示すように、トレンチコーナのスムージングを行っている。以上の方法により、トレンチコーナのスムージングを行うことで、逆狭チャネル効果を防止することができる。

【0008】しかし、上記の方法により、トレンチコーナのスムージングを行うと、絶縁層120の、基板110の上面から突出した部分の両サイドにサイドウォール130を形成しなければならず、その分の工程数が多くなり煩雑である。

【0009】

【発明が解決しようとする課題】本発明は、成膜工程などの工程数を増すことなしに、トレンチ素子分離領域の絶縁層の埋め込みが良好に行われる、トレンチ素子分離領域を有する半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明のトレンチ素子分離領域を有する半導体装置の製造方法は、以下の工程

(a)～(h)を含む。

(a) シリコン基板の表面にパッド層を形成する工程、  
(b) 前記パッド層の表面に、化学的機械的研磨のためのストッパ層を形成する工程、(c) 前記ストッパ層および前記パッド層を所定のパターンにエッチングする工程、(d) 前記ストッパ層をマスクとして前記シリコン基板をエッチングし、素子分離溝を形成する工程、

(e) 前記素子分離溝を充填する絶縁層を全面に形成する工程、(f) 化学的機械的研磨法により、前記ストッ

(3)

特開 2000-195943

3

パ層をストップパとして、前記絶縁層を平坦化する工程、  
(g) 前記絶縁層と前記ストップパ層とを、少なくとも 1  
回、同時にエッチングし、該絶縁層および該ストップパ層  
の膜厚を薄くする工程、および (h) 前記ストップパ層を  
除去してトレンチ素子分離領域を形成する工程。

【0011】本発明において特徴的な点は、化学的機械  
的研磨 (CMP) 法を利用して、絶縁層および窒化シリ  
コン層を平坦化した後、絶縁層と窒化シリコン層とを同  
時にエッチングする工程を含むところである。この工程  
を含むことにより、次のような利点がある。

【0012】CMP 法により、絶縁層とストップパ層とを  
平坦化する際、シリコン基板が研磨されない程度に、ス  
トップパ層を残す必要がある。そのため、絶縁層は、シリ  
コン基板の素子が形成される領域の表面のレベルより突  
出した部分 (突出部) を有する。

【0013】この突出部は、後の工程で等方性エッチン  
グで除去される。この突出部を等方性エッチングする  
と、絶縁層の上部の端部 (トレンチのエッジ部分) にお  
いて、以下のような理由で、くぼみが生じる。

【0014】突出部の膜厚が厚ければ厚いほど、それに  
伴って、突出部のエッチング量を多くしなければならない。  
このエッチングは、等方性であるため、エッチング  
量を多くすれば、その分だけ、絶縁層の上部の端部にお  
いて、くぼみが生じやすくなる。そのため、突出部の膜  
厚を薄くして、エッチング量を低減すれば、くぼみの発  
生を抑制することができる。

【0015】くぼみの発生を抑制するために、CMP 法  
を利用して、絶縁層をくぼみが発生しない膜厚まで、薄  
くすることが考えられる。しかし、CMP 法による研磨  
は、絶縁層の膜厚に関してばらつきが生じるため、現在  
の CMP 法の技術レベルでは、くぼみが発生しない膜厚  
まで、絶縁層を研磨することが困難である。したがっ  
て、CMP 法による研磨をした後に残存する突出部を等  
方性エッチングすると、くぼみが発生してしまう。

【0016】このようにして生じたくぼみは、トランジ  
スタ特性における不具合、たとえば逆狭チャネル効果、  
ハンプ (Hump) などの原因になる。また、くぼみ  
に、ゲート電極を構成する電極材がたまると、ゲート電  
極のパターニングが良好に行われず、回路のショートの  
原因にもなる。

【0017】しかし、本発明においては、ストップパ層と  
突出部とを同時にエッチングして、突出部の薄膜化を図  
っている。突出部を薄膜化した分だけ、該突出部を等方  
性エッチングする際のエッチング量を低減することがで  
きる。このエッチング量の低減によって、絶縁層の上部  
のくぼみの発生を抑制することができる。くぼみが発生  
するのを抑制した結果、トランジスタ特性における不具  
合、たとえば逆狭チャネル効果、Hump を防止するこ  
とができる。また、くぼみに電極材がたまらないため、  
ゲート電極のパターニングが良好に行われ、回路のショ

4

ートを防止することができる。

【0018】前記ストップパ層としては、たとえば、窒化  
シリコン層、窒化シリコン層と多結晶シリコン層または  
非晶質シリコン層との多層構造を挙げることができる。

【0019】前記絶縁層としては、酸化シリコン層など  
をあげることができる。

【0020】また、前記工程 (g) におけるエッチング  
は、複数回実施され、該エッチングにおける選択比 (ス  
トップパ層のエッチングレート/絶縁層のエッチングレ  
ート) は、順次大きくなるのが好ましい。

【0021】前記工程 (h) の後において、前記シリ  
コン基板の素子が形成される領域の表面のレベルより突  
出した絶縁層の部分 (突出部) をウエットエッチングする  
工程を有することが好ましい。

【0022】前記突出部をウエットエッチングする場  
合には、パッド層をエッチングする工程と犠牲酸化膜をエ  
ッチングする工程とにおいてなされることが好ましい。  
これにより、突出部をエッチングする工程を特別に設け  
る必要がなく、工程数の減少を図ることができる。

【0023】前記突出部の厚さは、50 nm 以下である  
ことが望ましい。これにより、パッド層をエッチングす  
る工程と犠牲酸化膜をエッチングする工程とにおいて、  
突出部を確実に除去することが可能となる。

【0024】

【発明の実施の形態】以下、本発明の好適な実施の形態  
について、図面を参照しながら説明する。

【0025】(デバイスの構造) 本発明の製造方法によ  
り得られたトレンチ素子分離領域を有する半導体装置に  
ついて説明する。

【0026】図 23 は、本発明の製造方法により得られ  
たトレンチ素子分離領域を有する半導体装置 (以下「半  
導体装置」という) 100 である。

【0027】図 23 に示す半導体装置 100 は、トレン  
チ素子分離領域 23、n 型 MOS 素子 80 および p 型 MOS  
素子 82 を含む。

【0028】トレンチ素子分離領域 23 は、シリコン基  
板 10 に設けられたトレンチを、絶縁層 20 で充填する  
ことにより形成された領域である。トレンチ素子分離領  
域 23 は、MOS 素子間を分離し、素子領域を画定する  
役割を有する。このトレンチ素子分離領域 23 を境とし  
て、一方の素子領域には、p 型レトログレードウエル 3  
2 が形成され、他方の素子領域には、n 型レトログレー  
ドウエル 30 が形成されている。

【0029】p 型レトログレードウエル 32 上には、n  
型 MOS 素子 80 が形成され、n 型レトログレードウエ  
ル 30 上には、p 型 MOS 素子 82 が形成されている。

【0030】n 型 MOS 素子 80 は、ゲート酸化膜 28  
と、ゲート電極 46 と、n 型不純物拡散層 50 とを有す  
る。

【0031】n 型 MOS 素子 80 におけるゲート酸化膜

5

28は、p型レトログレードウエル32上に形成されている。このゲート酸化膜28上には、ゲート電極46が形成されている。ゲート電極46は、多結晶シリコン層40と、多結晶シリコン層40上に形成された金属シリサイド層42とからなる。そして、ゲート酸化膜28およびゲート電極46の側壁を覆うようにして、サイドウォール絶縁膜70が形成されている。

【0032】n型不純物拡散層50は、ソース/ドレイン領域を構成している。そしてn型不純物拡散層50は、低濃度のn型不純物拡散層50aおよび高濃度のn型不純物拡散層50bとからなり、LDD構造を有している。

【0033】p型MOS素子82は、ゲート酸化膜28と、ゲート電極46と、p型不純物拡散層60とを有する。

【0034】p型MOS素子82におけるゲート酸化膜28は、n型レトログレードウエル30上に形成されている。ゲート電極46およびサイドウォール絶縁膜70の詳細は、n型MOS素子80と同様である。

【0035】p型不純物拡散層60は、p型である以外は、n型不純物拡散層50と同様である。

【0036】（製造プロセス）次に、図23に示す半導体装置100の製造プロセスについて説明する。図1～図22は、半導体装置100の製造工程を示したものである。

【0037】（1）トレンチの形成

まず、図1を参照しながら説明する。シリコン基板10上に、パッド層12を形成する。パッド層12の材質は、たとえばSiO<sub>2</sub>、SiONなどを挙げることができる。パッド層12がSiO<sub>2</sub>からなる場合には、熱酸化法、CVD法などにより形成することができ、SiONからなる場合には、CVD法などにより形成することができる。パッド層12の膜厚は、たとえば5～20nmである。

【0038】次いで、パッド層12上に、ストッパ層14を形成する。ストッパ層14としては、たとえば窒化シリコン層、多結晶シリコン層、非晶質シリコン層、窒化シリコン層と多結晶シリコン層と非晶質シリコン層とからなる群から選択される少なくとも2種からなる多層構造などを挙げることができ、その形成方法としては、公知の方法たとえばCVD法などを挙げることができる。ストッパ層14は、後のCMPにおけるストッパとして機能するのに十分な膜厚、たとえば50～150nmの膜厚を有する。

【0039】ストッパ層14の上に、所定のパターンのレジスト層R1を形成する。レジスト層R1は、図2に示すように、トレンチ16が形成されることになる領域の上方において、開口されている。

【0040】次に、レジスト層R1をマスクとして、ストッパ層14およびパッド層12をエッチングする。こ

(4)

特開2000-195943

6

のエッチングは、たとえばドライエッチングにより行われる。

【0041】次に、レジスト層R1をアッシングにより除去する。次いで、図3に示すように、ストッパ層14をマスクとして、シリコン基板10をエッチングし、トレンチ16を形成する。トレンチ16の深さは、デバイスの設計で異なるが、たとえば300～500nmである。シリコン基板10のエッチングは、ドライエッチングにより行うことができる。

10 【0042】（2）トレンチ内への絶縁層の充填  
図示しないが、シリコン基板10とストッパ層14との間に介在しているパッド層12の端部をエッチングする。

【0043】次に、図4に示すように、熱酸化法により、トレンチ16におけるシリコン基板10の露出面を酸化し、酸化膜（以下「トレンチ酸化膜」という）18を形成する。また、パッド層12の端部がエッチングされていることにより、この熱酸化によって、トレンチ16を構成するシリコン基板10の上部のエッジ部は、酸化されて、丸みを帯びる。シリコン基板10の上部のエッジ部が丸みを帯びることによって、後述する絶縁層20の上部の端部におけるくぼみが生じにくくなる。

20 【0044】図5に示すように、トレンチ16を埋め込むようにして、絶縁層20を全面に堆積する。絶縁層20の膜厚は、トレンチ16を埋め込み、少なくともストッパ層14を覆うような膜厚、たとえば500～800nmである。絶縁層20の材質は、たとえば、酸化シリコンなどからなる。絶縁層20の堆積方法としては、たとえば高密度プラズマCVD法、熱CVD法、TEOSプラズマCVD法などを挙げることができる。

【0045】次に、図6に示すように、絶縁層20をCMP法により平坦化する。この平坦化は、ストッパ層14が露出するまで行う。つまり、ストッパ層14をストッパとして、絶縁層20を平坦化する。

【0046】（3）絶縁層およびストッパ層のエッチング

次に、図7に示すように、選択比（ストッパ層のエッチングレート/絶縁層のエッチングレート）が1に近いエッチングを用いて、絶縁層20とストッパ層14とを同時にエッチングする。以下、このエッチングを「第1のエッチング」という。この第1のエッチングによって、絶縁層20とストッパ層14とが同程度の膜厚で除去される。第1のエッチングの選択比は、好ましくは0.5～2、より好ましくは0.9～1.1である。エッチングのエッチャントとしては、たとえば絶縁層20をエッチングするためのエッチャント（A）と、ストッパ層14をエッチングするためのエッチャント（B）とを含むエッチャントを挙げることができる。ここで、エッチャント（A）としては、たとえばフッ酸などを挙げることができ、エッチャント（B）としては、たとえば熱りん

7

酸などを挙げることができる。

【0047】次に、図8に示すように、選択比が第1のエッチングの選択比よりも大きいエッチング法で、絶縁層20とストッパ層14とを同時にエッチングする。以下、このエッチングを「第2のエッチング」という。第2のエッチングの選択比は、好ましくは3～5、より好ましくは3.5～4.5である。エッチングのエッチャントとしては、第1のエッチングと同様のものを挙げることができる。第1のエッチングおよび第2のエッチングが双方とも、エッチャント(A)とエッチャント

(B)とを含むエッチャントを使用した場合には、エッチャント(A)とエッチャント(B)との使用比率を変化させることにより、第1のエッチングと第2のエッチングとの選択比を変化させることができる。

【0048】次いで、図9に示すように、選択比が第2のエッチングの選択比よりも大きいエッチングで、絶縁層20とストッパ層14とを同時にエッチングし、ストッパ層14を除去する。以下、このエッチングを「第3のエッチング」という。第3のエッチングの選択比は、好ましくは10以上、より好ましくは20以上である。エッチングのエッチャントとしては、第1のエッチングと同様のものを挙げることができる。第2のエッチングおよび第3のエッチングが双方とも、エッチャント

(A)とエッチャント(B)とを含むエッチャントを使用した場合には、エッチャント(A)とエッチャント(B)との使用比率を変化させることにより、第2のエッチングと第3のエッチングとの選択比を変化させることができる。

【0049】また、これらのエッチングの後において、絶縁層20の上部の、シリコン基板10の素子が形成される領域の表面のレベルより突出した部分(以下「突出部」という)22の厚さは、好ましくは50nm以下、より好ましくは1～30nmである。突出部22が50nm以下であることにより、後述の工程のエッチング、すなわち、パッド層12のエッチングおよびその後の犠牲酸化膜24のエッチング(図12参照)において、突出部22を完全にエッチング除去することができる。いいかえれば、後のエッチングで除去される程度の厚みを有する突出部22を残しておく。また、突出部22を後のエッチングで除去することにより、絶縁層20の上面とシリコン基板10の上面とが同一面を形成、ないしは絶縁層20の上面がシリコン基板10の上面より低くすることができる。

【0050】次に、図示しないが、パッド層12を、フッ酸などのエッチャントを用いてエッチングする。このエッチングの際、突出部22の一部もエッチングされる。

#### 【0051】(4) ウエルの形成

次に、図10に示すように、シリコン基板10の露出面に、犠牲酸化膜24を熱酸化法により形成する。犠牲酸

(5)

特開2000-195943

8

化膜24の膜厚は、たとえば10～20nmである。

【0052】続いて、犠牲酸化膜24およびトレンチ16を充填する絶縁層20の表面に、所定のパターンを有するレジスト層R2を形成する。レジスト層R2は、nウエルとなる領域の表面が露出するように開口されている。このレジスト層R2をマスクとして、リン、ヒ素などのn型不純物を1回もしくは複数回にわたってシリコン基板10に注入することにより、シリコン基板10内にn型レトログレードウエル30を形成する。なお、レトログレードウエルは、シリコン基板10の深い位置において、ウエルの不純物濃度のピークがあるウエルをいう。

【0053】図11に示すように、犠牲酸化膜24およびトレンチ16を充填する絶縁層20の表面に、レジスト層R3を形成する。レジスト層R3は、pウエルとなる領域の表面が露出するように開口されている。このレジスト層R3をマスクとして、ボロンなどのp型不純物を1回もしくは複数回にわたってシリコン基板10に注入することにより、シリコン基板10内にp型レトログレードウエル32を形成する。

【0054】次に、図12に示すように、犠牲酸化膜24を、フッ酸などのエッチャントを用いてエッチングする。この際、突出部22はエッチング除去される。こうして、トレンチ素子分離領域23が形成される。

#### 【0055】(5) ゲート電極の形成

次いで、図13に示すように、トレンチ素子分離領域23により画定された素子領域の上に、酸化膜26を形成する。この酸化膜26の一部は、ゲート酸化膜28となる。

【0056】図14に示すように、絶縁層20および酸化膜26の上にCVD法などによって、多結晶シリコン層40を形成する。多結晶シリコン層40はドーピングされている。

【0057】多結晶シリコン層40の表面に、金属シリサイド層42を形成する。金属シリサイド層42の材質としては、タングステン、チタン、モリブデンなどのシリサイドなどが挙げられ、その形成方法としては、スタッピング法などを挙げることができる。

【0058】次に、金属シリサイド層42の表面に酸化シリコン層44を形成する。酸化シリコン層44の形成方法としては、たとえばCVD法などが挙げられる。

【0059】図15に示すように、酸化シリコン層44の上に、ゲート電極46を形成したい領域を被覆するような、レジスト層R4を形成する。次いで、このレジスト層R4をマスクとして、酸化シリコン層44をエッチングする。

【0060】次に、図16に示すように、レジスト層R4をアッシングにより除去する。

【0061】次に、図17に示すように、酸化シリコン層44をマスクとして、金属シリサイド層42および多

9

結晶シリコン層40をエッチングする。このようにして、多結晶シリコン層40と金属シリサイド層42とからなるゲート電極46を形成する。

【0062】(6) ソース/ドレインの形成

図18に示すように、n型レトログレードウエル30を覆うレジスト層R5を形成する。このレジスト層R5をマスクとして、p型レトログレードウエル32中に、リンなどをイオン注入し、p型レトログレードウエル32中に、ソース/ドレイン領域を構成する低濃度のn型不純物拡散層50aを形成する。

【0063】レジスト層R5を除去した後、図19に示すように、p型レトログレードウエル32を覆うレジスト層R6を形成する。このレジスト層R6をマスクとして、n型レトログレードウエル30中に、ボロンなどをイオン注入し、n型レトログレードウエル30中に、ソース/ドレイン領域を構成する低濃度のp型不純物拡散層60aを形成する。

【0064】次に、レジスト層R6を除去した後、CVD法などによって、絶縁層(図示しない)、たとえばシリコン窒化膜、シリコン酸化膜などを全面に形成する。次いで、図20に示すように、反応性イオンエッチングなどによって、絶縁層を異方性エッチングすることにより、サイドウォール絶縁膜70を形成する。

【0065】次に、図21に示すように、n型レトログレードウエル30を覆うレジスト層R7を形成する。このレジスト層R7と、ゲート電極46と、サイドウォール絶縁膜70とをマスクとして、リンなどの不純物を、p型レトログレードウエル32中にイオン注入し、高濃度のn型不純物拡散層50bを形成する。これにより、LDD構造のn型不純物拡散層50が形成される。

【0066】次に、レジスト層R7を除去した後、図22に示すように、p型レトログレードウエル32を覆うレジスト層R8を形成する。このレジスト層R8と、ゲート電極46と、サイドウォール絶縁膜70とをマスクとして、ボロンなどの不純物を、n型レトログレードウエル30中にイオン注入し、高濃度のp型不純物拡散層60bを形成する。これにより、LDD構造のp型不純物拡散層60が形成される。

【0067】次に、レジスト層R8をアッシング除去することにより、図23に示すような、本実施の形態に係る半導体装置100が完成する。

【0068】本実施の形態において特徴的なことは、主として次の点にある。

【0069】CMP法を利用して、絶縁層20およびストッパ層14を平坦化した後、絶縁層20とストッパ層14とを同時にエッチングする工程を含む点である。

【0070】以下、この工程を含まない場合の不具合を、図24および図25を用いて説明する。

【0071】図24に示すように、通常、トレンチを充填する絶縁層220を形成した後、ストッパ層214を

(6)

特開2000-195943

10

ストッパとして、絶縁層220とストッパ層214とをCMP法により平坦化している。この平坦化においては、絶縁層220の膜厚に関して、ばらつきが生じ、微調整が困難である。したがって、CMP法により、絶縁層220とストッパ層214とを平坦化する際は、シリコン基板210が研磨されない程度に、これらの層を残す必要がある。そのため、絶縁層220は、シリコン基板210の素子が形成される領域の表面のレベルより突出した部分(突出部)222を有する。

【0072】この突出部222は、後の等方性エッチングの工程で除去される。しかし、突出部222は、CMP法による研磨のばらつきを考慮した膜厚、たとえば100~200nmの膜厚を有している。このような膜厚を有する突出部222をそのまま等方性エッチングで除去すると、絶縁層220の上部の端部において、図25に示すように、くぼみ280が生じてしまう。

【0073】このようにくぼみ280が生じると、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンプ(Hump)などが生じる。また、くぼみ280に、ゲート電極を構成する電極材がたまると、ゲート電極のパターニングが良好に行われず、回路のショートの原因にもなる。

【0074】しかし、本発明においては、CMP法により、絶縁層20とストッパ層14とを平坦化した後、絶縁層20とストッパ層14とを同時にエッチングし、ストッパ層14と絶縁層20とを薄膜化している。このように、薄膜化した分、パッド層12をエッチングする工程および犠牲酸化膜24をエッチングする工程において、突出部20のエッチング量を十分に低減することが可能となる。このエッチングの量の低減によって、絶縁層20の上部のくぼみの発生を抑制することができる。くぼみが発生するのを抑制した結果、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンプ(Hump)を防止することができる。また、くぼみに電極材がたまらないため、ゲート電極のパターニングが良好に行われ、回路のショートを防止することができる。

【0075】上記実施の形態においては、CMP法による絶縁層20およびストッパ層14の平坦化後、絶縁層20およびストッパ層14の選択比が順次大きくなるエッチングを3回おこなった。しかし、このエッチングにおいて、選択比は、上記の工程で示した範囲内であれば、選択比を順次大きくする態様をとらなくてもよい。また、このエッチングの回数は、3回に限定されず、1回であってもよいし、3回以外の複数回であってもよい。これ以外にも、上記実施の形態は、本発明の要旨を越えない範囲において、種々の変更が可能である。

【図面の簡単な説明】

【図1】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

(7)

特開2000-195943

11

12

【図2】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図3】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図4】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図5】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図6】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図7】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図8】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図9】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図10】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図11】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図12】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図13】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図14】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図15】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図16】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図17】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図18】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図19】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図20】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図21】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図22】実施の形態にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図23】実施の形態にかかる半導体装置を模式的に示す断面図である。

【図24】絶縁層とストッパ層とを同時にエッチングしない場合に生じる不具合を説明するための図である。

【図25】絶縁層とストッパ層とを同時にエッチングしない場合に生じる不具合を説明するための図である。

【図26】従来例にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図27】従来例にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

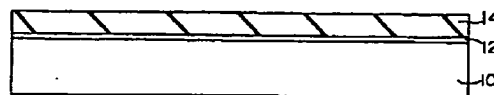
【図28】従来例にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

【図29】従来例にかかる半導体装置の製造方法の工程を模式的に示す断面図である。

# 【符号の説明】

10	シリコン基板
12	パッド層
14	ストッパ層
16	トレンチ
18	トレンチ酸化膜
20	絶縁層
22	突出部
23	トレンチ素子分離領域
24	犠牲酸化膜
26	酸化膜
28	ゲート酸化膜
30	n型のレトログレードウエル
32	p型のレトログレードウエル
40	多結晶シリコン層
42	金属シリサイド層
44	酸化シリコン層
46	ゲート電極
50	n型不純物拡散層
50a	低濃度のn型不純物拡散層
50b	高濃度のn型不純物拡散層
60	p型不純物拡散層
60a	低濃度のp型不純物拡散層
60b	高濃度のp型不純物拡散層
70	サイドウォール絶縁膜
80	n型MOS素子
82	p型MOS素子
100	半導体装置

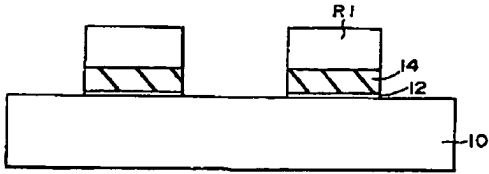
【図1】



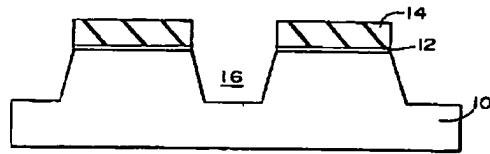
(8)

特開 2000-195943

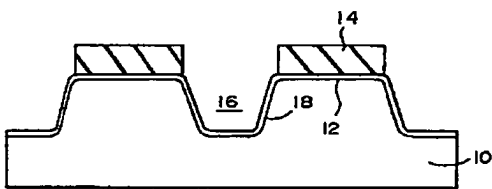
【図 2】



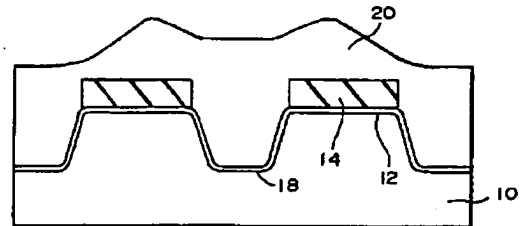
【図 3】



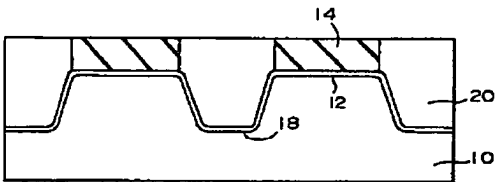
【図 4】



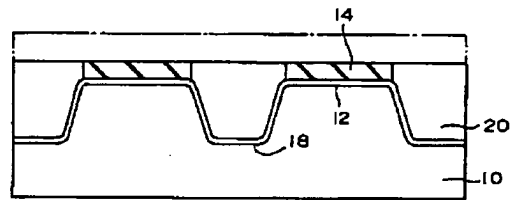
【図 5】



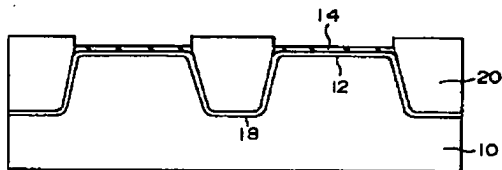
【図 6】



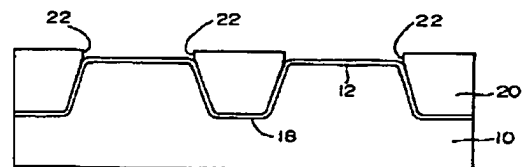
【図 7】



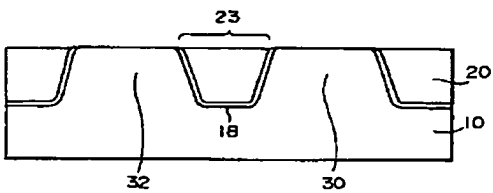
【図 8】



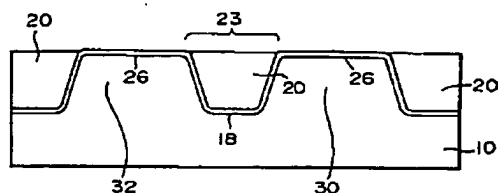
【図 9】



【図 12】



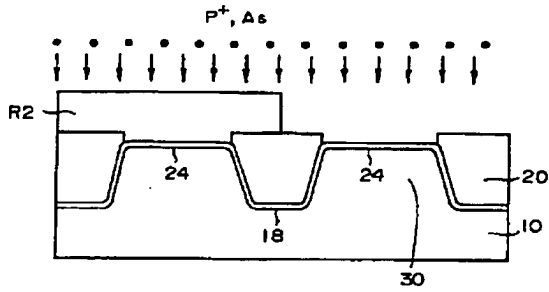
【図 13】



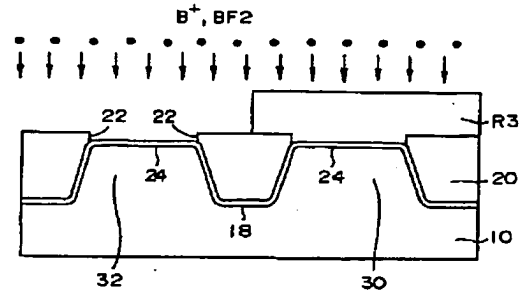
(9)

特開 2000-195943

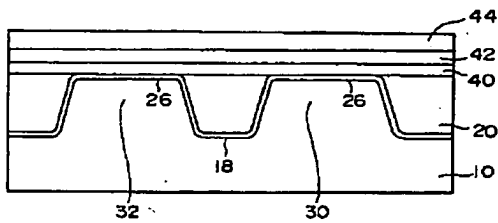
【图 10】



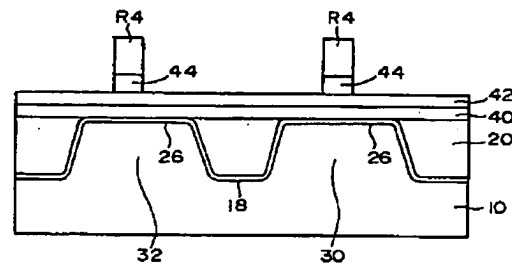
【圖 1 1】



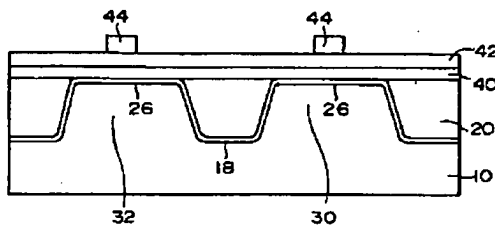
【图 14】



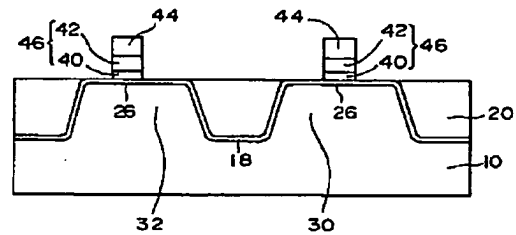
【图 15】



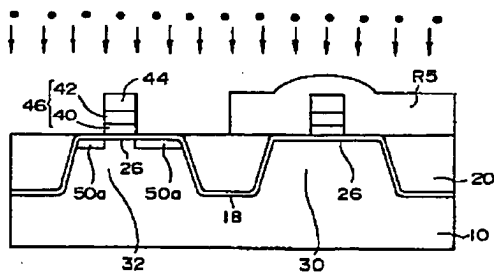
【图 16】



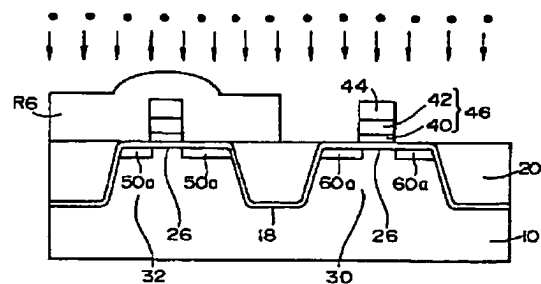
【图 17】



【圖 18】



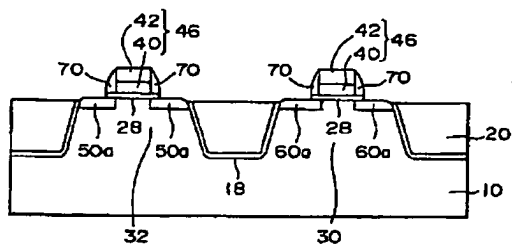
【圖 19】



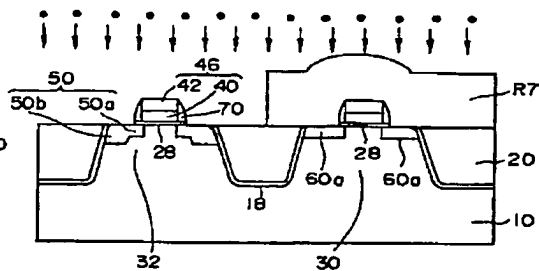
(10)

特開 2000-195943

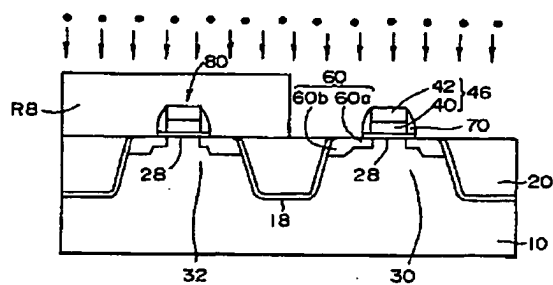
【图 20】



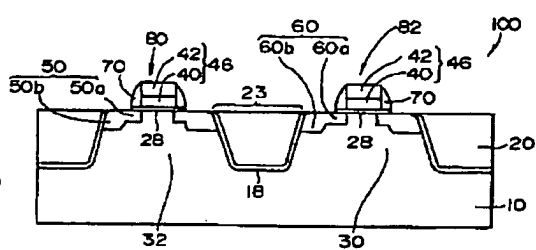
【圖 2 1】



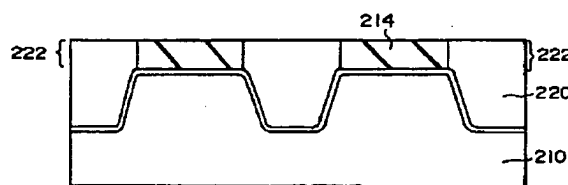
【圖 22】



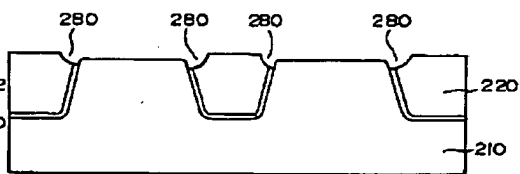
【图 2 3】



【圖 24】

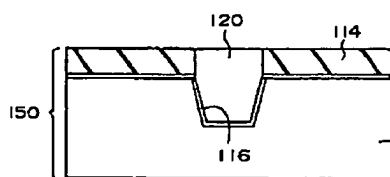


【图 2 5】

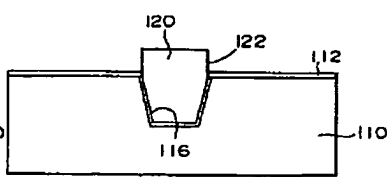


【图 28】

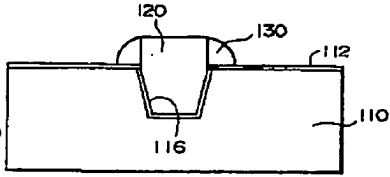
【圖 2 6】



【圖 27】



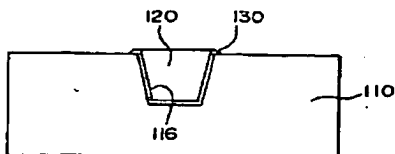
【图 28】



(11)

特開2000-195943

【図29】



---

フロントページの続き

Fターム(参考) 5F032 AA35 AA36 AA44 AA45 CA03  
CA17 CA20 DA02 DA04 DA23  
DA24 DA28 DA33 DA43 DA53  
DA78  
5F048 AA04 AA09 AC03 BA01 BB05  
BB08 BB12 BC06 BE03 BG14  
DA25 DA27